

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-048983

(43)Date of publication of application : 10.03.1986

(51)Int.CI.

H01L 41/08  
G11C 11/22

(21)Application number : 59-170805

(71)Applicant : TORAY IND INC

(22)Date of filing : 16.08.1984

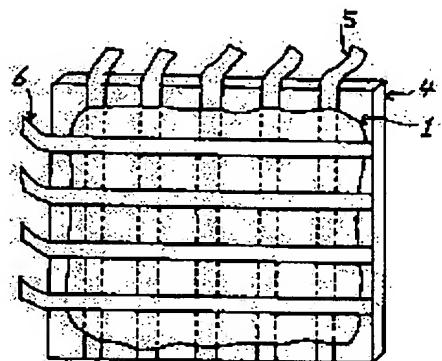
(72)Inventor : KIMURA KUNIKO  
DAITO KOJI

## (54) FERRODIELECTRIC HIGH POLYMER THIN FILM

### (57)Abstract:

PURPOSE: To manufacture an electric device having good electric response property, and, moreover, operates with low voltage, by a method wherein the thickness of a ferrodielectric high polymer thin film is made under 1,000&angst;.

CONSTITUTION: Copolymerizate of vinylidene fluoride and trifluoroethylene are dissolved in dimethylformamide solvent and are made high polymer solution. This solution is painted by a spin coating method on a glass plate on which Al is deposited at the condition divided as electrodes 5, and a thin film 1 is obtained by performing heat treatment. The thickness of the thin film is made under 1,000&angst;. Electrodes 6 are provided so as to become matrix disposition between lower electrodes by Al deposition again on the upside of this thin film 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報 (A)

昭61-48983

⑬ Int.Cl.

H 01 L 41/08  
G 11 C 11/22

識別記号

府内整理番号

H-7131-5F  
7230-5B

⑭ 公開 昭和61年(1986)3月10日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 強誘電性高分子薄膜

⑯ 特願 昭59-170805

⑰ 出願 昭59(1984)8月16日

⑮ 発明者 木村 邦子 鎌倉市手広1111番地 東レ株式会社基礎研究所内  
 ⑯ 発明者 大東 弘二 鎌倉市手広1111番地 東レ株式会社基礎研究所内  
 ⑰ 出願人 東レ株式会社 東京都中央区日本橋室町2丁目2番地

## 明細書

## 1. 発明の名称

強誘電性高分子薄膜

## 2. 特許請求の範囲

厚さが1000Å以下であることを特徴とする  
強誘電性高分子薄膜。

## 3. 発明の詳細な説明

## [産業上の利用分野]

本発明はメモリ等に使用することが出来る強誘電性高分子薄膜に関する。

## [従来技術]

第1図で示す様に、強誘電物質1では、物質によって定まった一定強度以上の電界(抗電場と呼ぶ。)を印加すると、物質内部の永久分極が回転して外部電界の方向に倒る。それに伴ない、物質に付した両電極間に流れる電流を分極反転電流という。そして、一般の強誘電性物質では、外部電界を印加してから分極反転電流が流れるまでに時間遅れが生じる(第2図参照)。この遅れ時間は

外部電界が大きいほど短くなるが、電界印加と同時に分極反転電流が流れることはなく、外部電界を印加すると、まず、その物質の誘電率で定まるコンデンサーとしての電荷が両極間にたまるための電流が流れ、その後、遅れて反転電流のピークが現れる(第2図参照)。したがって、従来の強誘電性物質をメモリ等として使用する場合にはアクセスタイムが遅く実用には供さなかったのである。

## [本発明が解決する問題点]

本発明は、上記に述べた様な従来強誘電性物質を各種電子デバイスに応用した場合の欠点に着目し、鋭意研究、検討した結果、強誘電性高分子物質を1000Å以下に薄膜化すると、電界を印加してから分極反転電流が流れるまでの時間遅れが消失し、外部電界を印加すると同時に鋭い分極反転電流が流れることを見い出し、これを各種電子デバイスに応用する技術を提供するものである。

## [本発明の構成]

本発明は、厚さが1000Å以下であることを

特徴とする強誘電性高分子薄膜に関するものである。

本発明に係る強誘電性高分子薄膜は、強誘電体としての基本性質である。

(1) 外部電場により、物質内部の永久分極を反転できること。

(2) 単位体積当たりの永久分極の量( $P_s$ )も同材料の厚い試料と略同等であること。

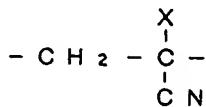
が確認された。

さらに、本発明に係る強誘電性高分子薄膜は、上述した様に従来の強誘電性物質と異なり、電界を印加してから分極反転電流が流れるまでの時間遅れが見られない特徴を有している。この様な性質は膜厚が5000 Åより薄くなると、しだいに薄膜を構成する微結晶が小さくなり、1000 Å以下ではそれが顕著になるために起こるものと考えられる。

一般的に、抗電場に相当する電圧は強誘電性物質の膜厚に比例するので、実際に分極反転に必要な電圧は膜厚が薄くなるほど小さくて良い。すな

わち、本発明に係る強誘電性薄膜は低電圧で分極の反転が行なえ、しかも電圧印加と同時に鋭い分極反転電流が流れるので広い分野の応用が期待できる。

本発明に係る高分子材料としては、フッ化ビニリデンとトリフルオロエチレンの共重合体(以下、P(VDF-TrFE)と記述する。)、フッ化ビニリデンと4フッ化エチレンの共重合体、フッ化ビニリデンとトリフルオロエチレンおよび4フッ化エチレンとの共重合体、



(但し、Xは、-H、-CN、-CH<sub>3</sub>、-Cl、-CF<sub>3</sub>、-COOCH<sub>3</sub>のいずれかから選ばれる構成要素を表わす。)で表わされる反復単位を含むシアノ基含有高分子重合体等があげられる。

以下、P(VDF-TrFE)の強誘電性高分子薄膜について説明する。

#### 実験(1)

VDF-TrFEの相成比が75~25モル%のP(VDF-TrFE)を溶剤ジメチルホルムアミド(以下、DMFと記述する。)に溶かし、高分子共重合体の溶液とした。この溶液をあらかじめAl電板を蒸着してあるガラス板上にスピン法により塗布し、膜厚8500 Å、3500 Å、2800 Å、1000 Å、800 Å、650 Åの強誘電薄膜を作製した。なお、膜厚の測定には干渉顕微鏡を用いた。140°C、1時間の熱処理後、対向電極として膜面上にAlを蒸着した。各試料の面積は25 mm<sup>2</sup>である。

第3図に、以上的方法で作製した強誘電薄膜に對し抗電場以上の強度の外部電界を加え、両極間に流れる分極反転電流をトランジメントメモリ2に取り込み、オシロスコープ3で観測した測定系を示す。第4~9図はその測定結果である。第4図からわかる様に膜厚8500 Åの膜は明らかに膜厚10 μm以上の厚い膜と同様の結果であり、外部電界を印加してから時間遅れを経て一齊に永久分極が回転する典型的な協同現象の挙動を示し

ている。遅れ時間は印加電界強度が大きくなるにつれて短くなるが時間遅れが消失することはない。

第5図、第6図に示した膜厚3500 Å、2800 Åの薄膜では、電界印加時から分極反転電流が流れるまでの時間遅れは依然として認められるが、コンデンサーとして流れる電流と分極反転電流との切れ目が明瞭でなくなる。すなわち、これが先に述べた5000 Å以下の膜厚では、個々の永久双極子間の相互作用が弱くなっていることを示している。第7~9図に示す膜厚1000 Å、800 Å、650 Åの薄膜においては印加電界の強度にかかわりなく、時間遅れは現れず、電界の印加と同時に鋭い分極反転電流が認められる。しかも、膜厚650 Åでは約10 Vの電圧で全永久分極を電場の方向に回転することができる。以上の実験結果からP(VDF-TrFE)のVDF-TrFE相成75~25モル%は膜厚650 Åの薄膜においても明らかな強誘電性を有し、しかも膜厚1000 Å以下の膜では、電界を印加すると同時に各永久分極が回転を始め鋭い分

極反転電流を有することが判る。

#### 実験(2)

上記の場合と同様の方法で作製した試料について、印加電界強度(E)と反転した永久分極量(P)の関係を測定した。結果をP-E曲線として第10図に示す。横軸は印加電界強度、縦軸はその電界強度により反転した永久分極の量である。第10図から明らかのように、膜厚2800Å以上では厚い膜のものと同様の性質を示す。すなわち、電界強度が50MV/㎟より小さい電場では、分極は全く反転せず、50MV/㎟付近の電場を加えると、全永久分極が反転してしまい、それ以上の電界を加えてもものはや変化しない。しかし、この図から膜厚1000Åを境にして状態が変化することが判る。1000Å以下の膜厚の試料では、それ以上の厚膜の場合に見られる様な顕著な抗電場がなく、50MV/㎟以上の電界に対して、電界を増すと、徐々に反転する永久分極量も増加していく。P-E曲線の傾きは、膜厚が薄くなるほど小さくなる。これは膜厚が1000Å以下で

は薄くなるほどP-Eのヒステリシス曲線の角型比が低下することを意味する。しかし、十分な電界を加えれば、膜厚1000Å以下の薄膜でも全永久分極を反転できることは第10図から明らかである。一例を示すと膜厚650Åの薄膜の全永久分極を反転するためには200MV/㎟の電界が必要であり、これは13Vに相当し、容易に供給し得る電圧である。

以上、説明した様に、実験(2)で示したP-E曲線の角型比が低下する膜厚と、実験(1)で示した分極反転電流の時間遅れが消失する膜厚はともに1000Å付近に一致している。従って、P(VDF-TrFE)薄膜では膜厚が1000Å付近を境にして、その物性が変化していると考えられる。

#### 実験(3)

実験(1)、(2)と同様の方法を用いて作製した膜厚8500Å、1500Å、280ÅのP(VDF-TrFE)薄膜試料について、直流電界(E)を印加しながら誘電率(ε)を測定し

た。ε-E曲線の測定結果を第11図に示す。三種類の試料とも、ちょう型のヒステリシス曲線をあらわしており、これは試料が強誘電性を有することを意味する。εのピークは、その時の印加電界に対して永久分極が一番動き易い状態にあると考えられる。膜厚8500Åと1500Åでは印加電界が50MV/㎟付近に鋭い誘電率のピークが存在するが、これが実験(2)で示した永久分極が50MV/㎟付近の電界で一齊に反転する動きを現していることは明らかである。それに対し、膜厚280Åの試料ではε-E曲線は、ヒステリシスを示してはいるが、1500Å以上の膜の様にεの鋭いピークはなく、70MV/㎟付近の電界を中心としてなだらかな曲線を描く。これは実験(2)で示したP-E曲線の角型比が悪いことに対応している。

#### [実施例]

以下、実施例を用いて本発明を説明する。

#### 実施例(1)

第12図に膜厚1000Å以下の薄膜を強誘電

メモリとする実施例を示す。

VDF-TrFEの組成比が75~25モル%のP(VDF-TrFE)を溶剤DMFに溶かし高分子溶液とした。この溶液をあらかじめ、電極5として分割された状態でA上蒸着がなされているガラス板4上にスピン法により塗布し、140℃、1時間の熱処理を行ない膜厚650Åの薄膜1を得た。

この薄膜の上面に再び、A上蒸着により、電極6を下部電極との間でマトリックス配置となるよう設けた。各マトリックス素子の上下電極間に正または負符号の大きさ10Vの電圧を印加することにより各マトリックス素子の全永久分極を正方向または負方向に回転することができた。

従って、たとえば永久分極が正方向に向いている状態を“1”、負方向に向いている状態を“0”に対応させておくと、リード・ライト可能な強誘電メモリとして使用できる。このような強誘電性メモリに膜厚1000Å以下の薄膜を用いると、膜厚に比例して分極反転に要する電圧が低下する

ことは勿論であるが、それとともに実験(1)で示した様に、膜厚1000Å以上のものに比べて鋭い分極反転電流が得られる利点がある。本メモリ素子においてリード・ライトの電圧は10V、リード・ライト時間は50μSであった。

## 実施例(2)

第13図に、膜厚1000Å以下の強誘電薄膜をFET等の半導体素子と組み合せて強誘電メモリとして利用する実施例を示す。

Si、GaAs等の基板7上に高濃度のドナーを注入したソース電極8、ドレイン電極9を形成する。この2つの電極間の基板上に、溶被化したP(VDF-TrFE)をスピンドル法等により塗布し、1000Å以下の強誘電性薄膜1を形成する。その上面にAl蒸着を行ないゲート電極10とする。通常のMOSFETでは、P(VDF-TrFE)膜の代わりにSiO<sub>2</sub>等の酸化膜を用い、ゲート電圧の大きさを変えることによって、ソース、ドレイン間に流れる電流をオン、オフする。本実施例ではP(VDF-TrFE)薄膜中の永

久分極がカットオフされるゲート電圧が変化する。P(VDF-TrFE)薄膜の正負2種のポーリング方向に対応するカットオフゲート電圧を“1”、“0”に対応させ、強誘電メモリとする。この場合、強誘電体として1000Å以下のP(VDF-TrFE)薄膜を用いると、メモリの書き込み時間が短く(50μS)、書き込み電圧の低い(10V)強誘電性不揮発メモリとすることが出来る。

## 実施例(3)

第14図に膜厚1000Å以下のP(VDF-TrFE)強誘電薄膜を焦電センサに利用する実施例を示す。

強誘電体を焦電センサとして応用する場合、その応答の速さは膜厚が薄いほど速くなり、また、対雑音比も改善される。従って、1000Å以下のP(VDF-TrFE)強誘電薄膜を高感度の焦電センサーに応用することができる。

第14図において、ガラス、プラスチック等の基板7上にAl電極11を蒸着し、その上に溶被

化したP(VDF-TrFE)をスピンドル法等で塗布して1000Åの強誘電薄膜1を形成する。その上面にAlまたはニクロム等の比較的熱吸収の良い金属を蒸着し、対向電極12とする。その上に炭素等の熱吸収層を設けるとさらに効率良くすることができる。第16図に、強誘電体の膜厚が650Åである焦電センサにクセノンランプのパルス光を照射した場合の応答出力を示す。また、第17図は比較のために強誘電体の膜厚を20μmにした場合の焦電センサの周応答出力である。

## 実施例(4)

第15図に膜厚1000Å以下の強誘電薄膜とFET等の半導体素子を一体化して、圧電、焦電センサーに利用する実施例を示す。

FET素子のゲート電極12上に1000Å以下のP(VDF-TrFE)薄膜1を形成する。その後、ポーリング処理を行ない、P(VDF-TrFE)薄膜内の永久分極を同一方向にそろえた。素子に然るには圧力を加えるとゲート電極に電圧が印加され、ソース8、ドレイン9間の電流

をオン、オフすることができる。この様に、P(VDF-TrFE)強誘電薄膜とFETを一体化することによって、コンパクトでかつ高感度の温度、圧力のセンサーとすることが出来る。

## 【発明の効果】

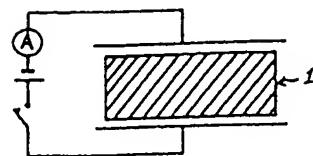
以上に説明した様に、本発明に係る厚さが1000Å以下の強誘電性高分子薄膜は、従来の強誘電性物質と比較して電気的応答特性が良好で、かつ低電圧で動作する各種電気デバイスとして使用できる。

## 4. 図面の簡単な説明

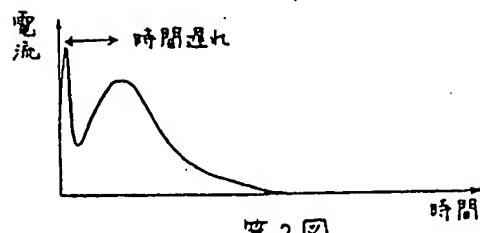
第1図は強誘電性物質に電界を印加する説明図、第2図は、従来の強誘電物質の分極反転電流を示す図、第3図は第2図の分極反転電流を測定する測定系を示す図、第4～6図は、従来の強誘電性高分子物質の分極反転電流を示す図、第7～9図は本発明に係る強誘電性高分子薄膜の分極反転電流を示す図、第10図は、強誘電性物質の永久分極量-電界強度の関係を示す図、第11図は本発明に係る強誘電性高分子薄膜の誘電率-電界強度

の関係を示す図、第12図は本発明に係る強誘電性高分子薄膜をメモリとして使用する場合の実施例を示す図、第13図は本発明に係る強誘電性高分子薄膜とFET等の半導体系子と組合せメモリとして使用する場合の実施例を示す図、第14図は、本発明に係る強誘電性高分子薄膜を焦電センサとして使用する場合の実施例を示す図、第15図は本発明に係る強誘電性高分子薄膜をFET等の半導体系子と一緒に化し圧電、焦電センサとして使用する場合の実施例を示す図、第16図は、本発明に係る強誘電性高分子薄膜を焦電センサとして使用した場合の応答出力を示す図、第17図は、従来の強誘電性物質を焦電センサに使用した場合の応答出力を示す図である。

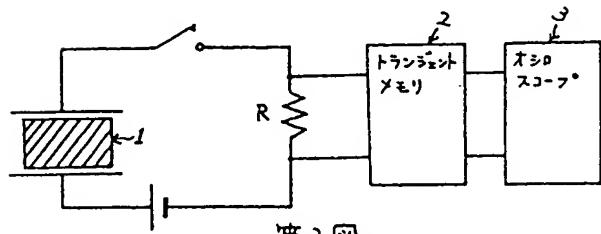
特許出願人 東レ株式会社



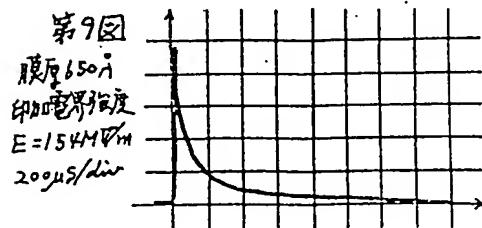
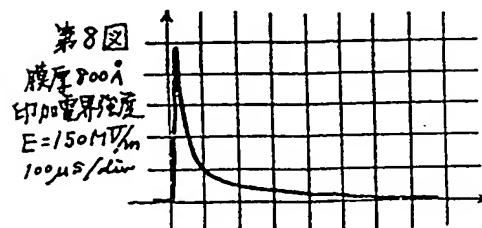
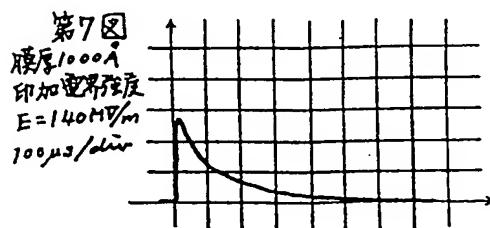
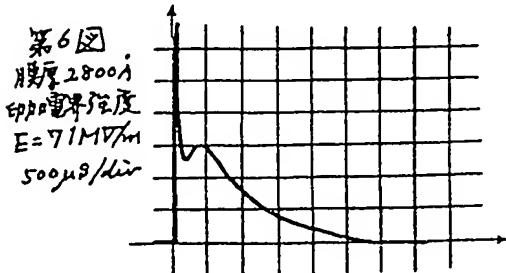
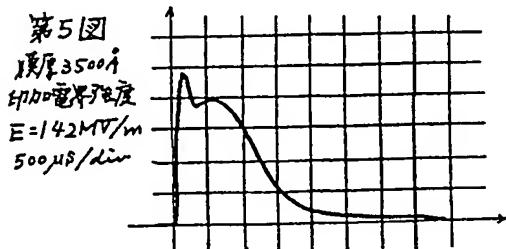
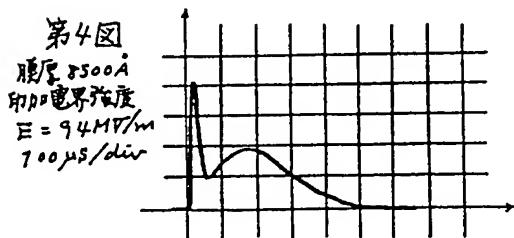
第1図

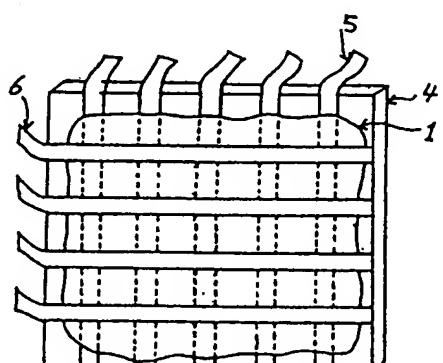
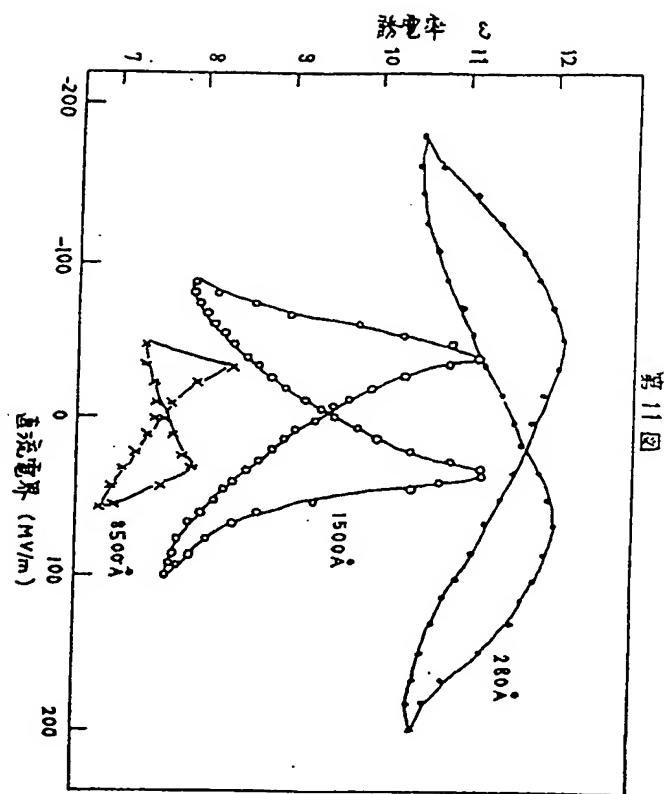
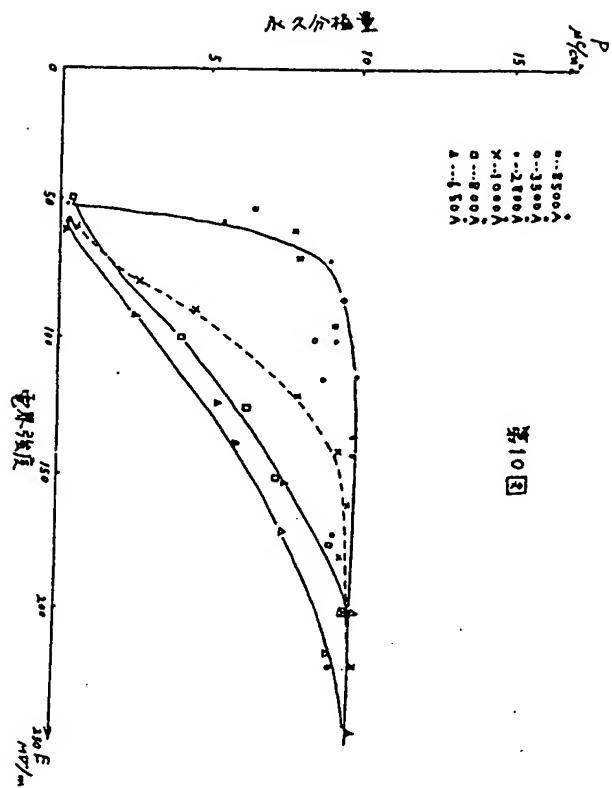


第2図

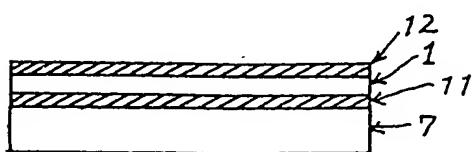


第3図

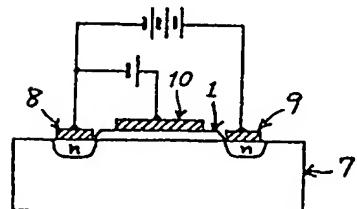




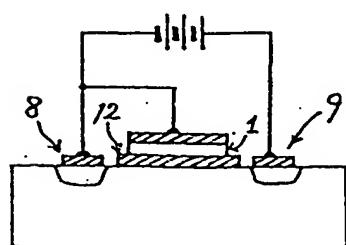
第12図



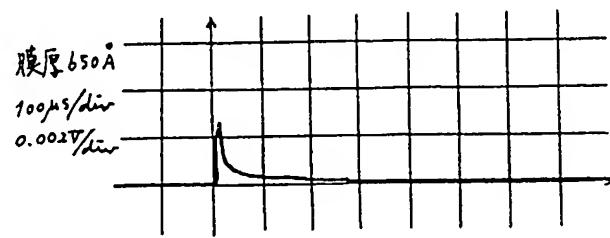
第14図



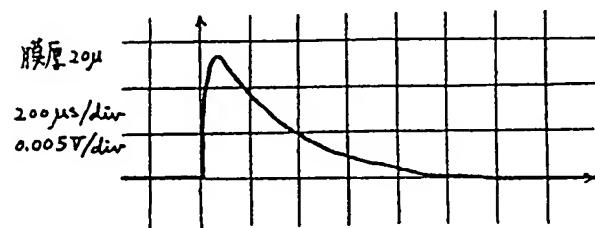
第13図



第15図



第16図



第17図